

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-168115

(43)Date of publication of application : 24.07.1987

(51)Int.Cl.

G02F 1/133

G02F 1/133

G09F 9/30

G09G 3/36

(21)Application number : 61-255017

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 27.10.1986

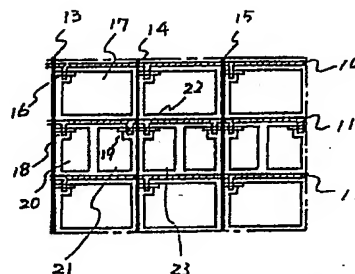
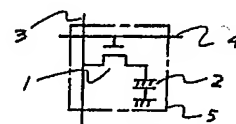
(72)Inventor : MOROZUMI SHINJI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To improve resolution by arraying picture element electrodes while shifting every row or column by half pitch, and receiving a picture element signal through the same data line or scanning line by two picture element electrodes which are divided about the data line or scanning line.

CONSTITUTION: A picture element 5 uses a thin film transistor(TFT) 1, which is turned on through a gate line 4 to write on or off data in the picture element, i.e. liquid crystal 2 through a data line 3; and the TFT 1 is turned off through the gate line to store a charge written in the liquid crystal 2 and driving is performed. The device consists of data lines 13W15 and gate lines 10W12, odd-numbered columns are arranged normally like a TFT 16 and a picture element electrode 17, and even-numbered columns are arranged in parallel to the data line 14 like FETs 19 and 22 and picture element electrodes 21 and 23 and shifted substantially by half pitch so as to improve the resolution by using the picture element 5 constituted as mentioned above. Thus, the resolution of a multicolor graphic display is improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

引
傍
1

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-168115

⑬ Int. Cl.⁴

G 02 F 1/133

識別記号

3 0 6
3 2 3

庁内整理番号

8205-2H
8205-2H
6731-5C
8621-5C

⑭ 公開 昭和62年(1987)7月24日

G 09 F 9/30
G 09 G 3/36

審査請求 有 発明の数 1 (全5頁)

⑮ 発明の名称 液晶表示装置

⑯ 特 願 昭61-255017

⑰ 出 願 昭57(1982)7月7日

⑱ 特 願 昭57-118258の分割

⑲ 発 明 者 両 角 伸 治 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内

⑳ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

㉑ 代 理 人 弁理士 最 上 務

明 細 書

1. 発明の名称 液晶表示装置

2. 特許請求の範囲

一対の基板内に液晶が封入され、該基板上にはマトリックス状に複数の画素電極が形成され、該画素電極に対応したカラーフィルタが配置され、該画素電極は薄膜スイッチング素子を介してデータ線又は走査線に接続されてなる液晶表示装置において、該画素電極の各々は行方向に一行毎に、又は列方向に一列毎に半ピッチずつマトリックスピッチがずらして配列され、該画素電極は該データ線又は走査線を中心に二分割に分割され、該二分割された画素電極は、同一のデータ線又は走査線から該スイッチング素子を介して画像信号が供給されてなることを特徴とする液晶表示装置。

3. 発明の詳細な説明

本発明はマトリックス画素を有する液晶表示体

に関するものである。

第1図は従来のドットマトリックス、タイプの画素の配列を示す。通常はX側にn行、Y側にm列のマトリックス状に配置されており、全体は(n×m)個の画素より構成され、キャラクタ等の表示がなされる。この画素の駆動は、電圧平均化法と言われる駆動法により、Y側電極により選択されたラインに、X側電極より点灯、非点灯のデータを駆動するマルチプレックス駆動や、薄膜トランジスタ(TFT)や非線形素子を介して画素に電荷を蓄積、駆動するアクティブ・マトリックス法により行なわれる。最近コンピュータの発達により、液晶ディスプレイがそのターミナルに使用される機会が増えて来た。又液晶ディスプレイパネルの低電力性や、フラット性を生かしたCRTに匹敵するディスプレイが要求されてきた。その結果表示内容が単なるキャラクタのみならず、グラフィックやカラー表示の可能性が追求されている。しかもグラフィックとなると表示分解能が大きな問題となる。ところが、第1図に示すよう

な画面の単純なX-Yの平行配列では分解能を上げることとはむずかしく、特にマルチ・カラーディスプレイを実現する時は大きな問題である。

従つて本発明の目的は、グラフィック表示等における、特にマルチカラーグラフィック表示における、分解能を向上させる手段を提供することにある。

第2図は本発明の画面配列を示す基本概念図である。(イ)はX方向に一段おきに半ピッチずらす方法であり、(ロ)はY方向に一段おきに半ピッチずらす方法である。この配列の画面は斜め方向に分解能が向上するのでモノクロであつてもグラフィックにおいて斜線が不自然にならず、最も少ない画面でもかなりの視覚分解能が得られる。又マルチカラーにする時、R、G、Bのカラーフィルタを平面配置することを考えると、R、G、Bが三角形の各頂点において繰り返し配置になるのでカラーグラフィックでも、少ない画面で結構満足しうる分解能を実現できる。

第3図は本発明のマルチプレックス駆動法にお

常の配置となるが、偶数列目はデータ線14に対し、トランジスタ19、22、画面電極21、23の如く並列配置をして、実質的に半ピッチずらす。この例はデータ線13～15の配線材と駆動電極17、20、21、23が同一層、又は同一層上に形成されている時であるが、もしデータ線と駆動電極が重なつても差し支えない構造の時は第6図の如くトランジスタ25をシングルとして半ピッチずらすのに、画面電極24をそのままずらすこともある。

第7図はTFTを用いた本発明の他の具体例であり、データ線30～32をジグザグにして半ピッチずらす方法である。この方法は半ピッチずらした所とずらさない所との画面構成が全く同一になり、半ピッチずらした不自然さが解消されることにある。

第8図はTFTを用いた第2図(ロ)の方法に対応する具体例である。データ線40～42、ゲート線43～45に対しX側ラインにそつて奇数列目はトランジスタ46、48と駆動電極47、49

ける応用例である。第2図(イ)の配列のためにX電極を一段おきに半ピッチづつずらしながら配線してゆく。ここでX電極、Y電極は通常は透明導電性電極からなり、必要ならば配線抵抗を下げるため金属薄膜による敬少極の配線材が配置されることもある。

表示分解能を上げるためには画面数を増やす。このため従来のマルチプレックス駆動を凌ぐものとしてTFTを用いて、電荷蓄積効果により、ライン数を改善する方法がある。第4図はTFTを用いた画面5を示す。ゲート線4により薄膜トランジスタ(TFT)1をONさせて、データ線3により点灯又は非点灯データを画面、即ち液晶2に書き込み、次にTFT1をゲート線4によりOFFさせて、液晶2に書き込まれた電荷を蓄積し駆動する。

第5図はTFTを用いた本発明による分解能を向上するための配列方法である。データ線13～15、ゲート線10～12により構成され、奇数列目はトランジスタ16と画面電極17の如く通

が通常の如く配置されているが、偶数列目はゲート線に対し画面を上下に並列に配置する。例えばゲート線44によりトランジスタ48、50、51がONし、駆動電極49、52、53にデータが書き込まれ、半ピッチずれた画面を駆動することになる。この場合、第6図と同様に第9図の如く駆動電極58をゲート線56にオーバーラップさせると一層効果が上がる。

第10図はゲート線63～65をジグザグにして、半ピッチ駆動電極をずらせる方法であり効果は第7図と同等である。

第11図はTFTを用いた更に他の配置例である。ドライバ70～73はデータ線77、79、81、83に直接つながれており、又データ線78、80、82はスイッチ74～76により、Y側スクヤンの一ライン毎に右か左に交互に接続される。例えばゲート線84がTFTをONさせ、スイッチ74～76は左へ倒れている時画面89と90、91と92が夫々ペアで同一のデータが書き込まれる。次にゲート線84がTFTをOFF

させ、ゲート線85がTFTをONさせ、スイッチ74～76が右へ倒れると画素94と95、96と97、98と99が夫々ペアで同一のデータが書き込まれ、第2図(f)の方式が実現できる。

第5図～第11図までの具体例において、当然のことながらR、G、Bのカラーフィルター5種は第2図の原理に従つて各駆動電極(画素)に配置されるものである。又当然のことながら同一のデータが書き込まれる画素ペア、例えば第11図の89と90には同一のカラーのフィルターが割り当てられることになり、R(赤)、G(緑)、B(青)の3原色が、三角形配置される様にしてマルチカラーディスプレイパネルを実現することになる。

更に高分解パネルを実現する手段として、TFT駆動とよく似た駆動法に非線形素子を用いる方式がある。第12図は非線形素子103を用いた画素100の構成である。タイミング線(第1図、第3図のY電極に相当)とデータ線102間で液晶104を駆動するのに非線形素子103を用い

第2図(f)の電極構成が実現できる。

第14図はデータ線111、112、113がジグザグに配線されていることによりやはり第2図(f)の構成となる。

第15図は画素を効率的に用いる、即ち駆動電極比率を上げて、かつ半ピッチずらした不自然さを解消できる方式である。データ線ドライバ120～125はデータ線127～130に直接接続され、又データ線131～134はスイッチ124～126によりドライバへの接続点が走査用のY電極1本毎に切り換えられる。例えば奇数番目の走査電極が選択されている時はスイッチ124～126は左へ倒れており、従つて駆動電極136と137、138と139がペアとなり同一のデータが書き込まれる。一方偶数番目の走査電極が選択されるとスイッチ124～126は右へ倒れて141と142、143と144、145と146がペアとなり同一のデータが書き込まれる。この結果、等価的に第2図(f)の電極構成となる。

第13図～第15図も各駆動電極にカラーフィ

ル方式であり、非線形素子は高電圧下では低抵抗、低電圧下では高抵抗となり、データ線102とタイミング線101間に高電圧をかけて点灯のデータを非線形素子を低抵抗状態にして書き込み、その後低電圧にすることにより非線形素子を高抵抗状態にして画素電荷を蓄積駆動する方法である。具体的にはこの非線形素子はTaやNb、Ti等の酸化膜を金属電極でサンドイッチした構造が最もよく用いられる。

第13図～第15図は非線形素子を用いた高分解能画素の構成例である。この図では走査用のY側の電極は省略してあるが、実際には第1図、第3図のように液晶層をはさんで存在するわけである。

第13図はデータ線105～108に対し非線形素子109、111、113を介して画素(駆動電極)110、112、114が構成されている。データ線106に対し並列接続された非線形素子111と113により、駆動電極112と114には同一のデータが書き込まれ、この結果

ルタが割り当てられて配列することによりマルチカラーディスプレイが実現できる。例えば第15図の例では駆動電極136と137にはR、141と142はG、143と144にはBのカラーフィルターが割り当てられ、駆動電極上、又は下にカラーフィルターを配置する。

上述の如く本発明は、一対の基板内に液晶が封入され、該基板上には、マトリックス状に複数の画素電極が形成され、該画素電極に対応したカラーフィルターが配置され、該画素電極は薄膜スイッチング素子を介してデータ線又は走査線に接続されてなる液晶表示装置において、該画素電極の各々は行方向に一行毎に、又は列方向に一行毎に半ピッチずつマトリックスピッチがずらして配列され、該画素電極は該データ線又は走査線を中心に二分割に分割され、該二分割された画素電極は、同一のデータ線又は走査線から該スイッチング素子を介して画像信号が供給されてなるようにしたから、画素を半ピッチずらしたとしても、走査線又はデータ線が屈曲する必要なく真直な線を構成

することができ従つて画素欠陥を最小限におさえることができる。

4. 図面の簡単な説明

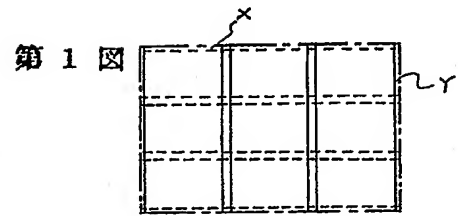
第1図は従来の液晶表示体であるドット・マトリクスパネルの画素構成であり、第2図(イ)(ロ)は本発明の高分解能画素(駆動電極)の基本構成である。第3図はマルチプレックス駆動における本発明の駆動電極構成例である。又第4図は薄膜トランジスタを用いた画素の構成であり、第5図から第11図はその薄膜トランジスタを利用した本発明の高分解能画素の実現例である。更に第12図は非線形素子を用いた画素の構成であり、第13図から第15図は非線形素子を用いた本発明の高分解能画素の実現例である。

1…薄膜トランジスタ

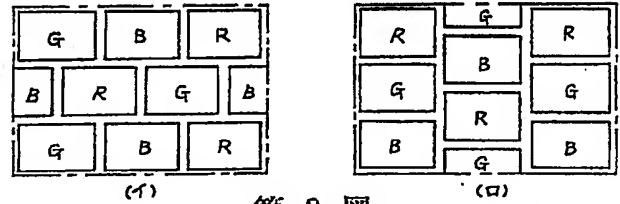
103…非線形素子

70～73, 120～123…データ線ドライバ

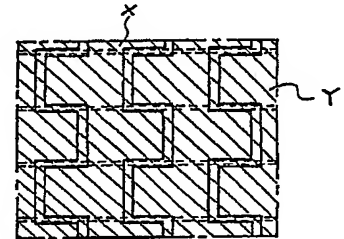
バ



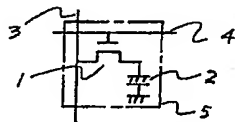
第1図



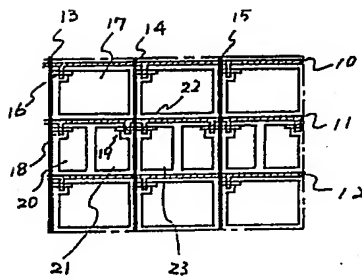
第2図



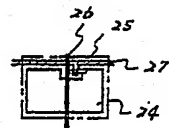
第3図



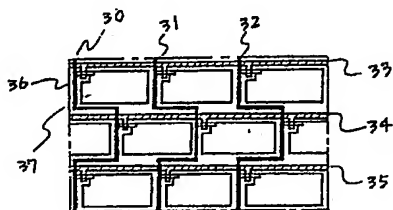
第4図



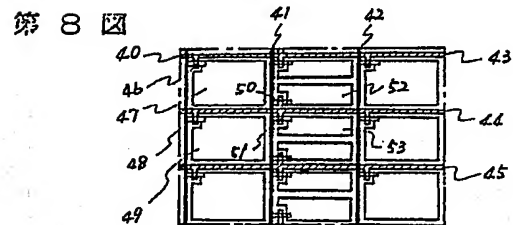
第5図



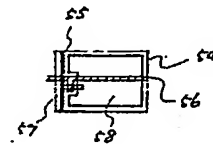
第6図



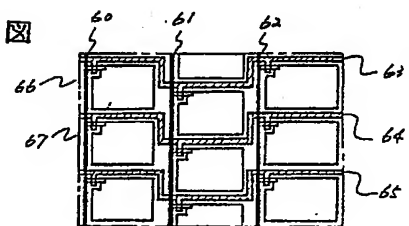
第7図



第8図

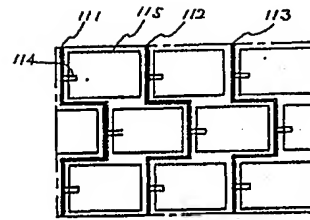
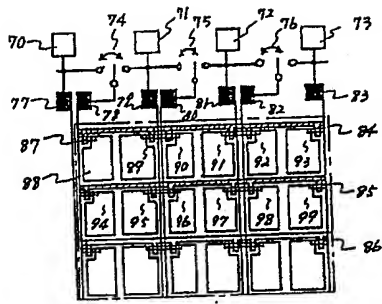


第9図



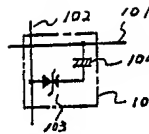
第10図

第 11 図

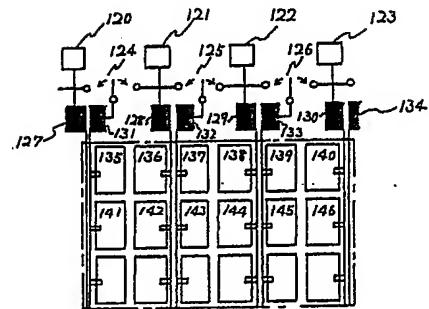
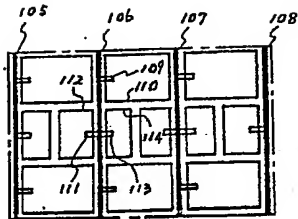


第 14 図

第 12 図



第 13 図



第 15 図